

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-353369
(P2002-353369A)

(43) 公開日 平成14年12月6日 (2002.12.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 C
			5 0 1 F
H 0 1 R 11/01	5 0 1	H 0 1 R 11/01	5 0 1 C

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願2001-159731 (P2001-159731)
(22) 出願日 平成13年5月28日 (2001.5.28)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72) 発明者 土津田 義久
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(72) 発明者 玉置 和雄
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74) 代理人 100078282
弁理士 山本 秀策

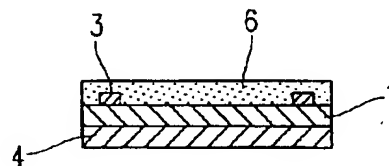
(54) 【発明の名称】 半導体パッケージおよびその製造方法

(57) 【要約】

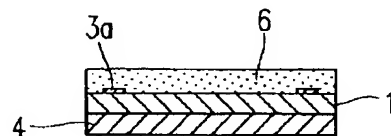
【課題】 曲げることが可能でフレキシブル回路基板の自由に湾曲するという特性を妨げず、曲面にも容易に実装することができ、半導体チップを電磁波ノイズからシールドすることができる半導体パッケージを提供する。

【解決手段】 厚さ0.5 μ m以上100 μ m以下の半導体チップ1の回路形成面に異方導電性を有する接着樹脂層6を設けると共に、裏面に補強用部材4を設ける。接着樹脂層6または補強用部材4には、電磁波シールド機能を有する固形物質を混入する。

(a)



(b)



【特許請求の範囲】

【請求項1】 表面に回路が形成されており、全体の厚さが $0.5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下に形成された半導体チップと、該半導体チップの回路形成面を覆うように設けられた接着樹脂層とを有することを特徴とする半導体パッケージ。

【請求項2】 前記半導体チップの回路形成面と反対側の面に補強用部材が設けられていることを特徴とする請求項1に記載の半導体パッケージ。

【請求項3】 前記接着樹脂層が異方導電性を有する材料からなることを特徴とする請求項1または請求項2に記載の半導体パッケージ。

【請求項4】 前記補強用部材がポリイミド系樹脂またはポリシリコンワニスからなることを特徴とする請求項2または請求項3に記載の半導体パッケージ。

【請求項5】 前記半導体チップの回路形成面に形成された電極上に突起電極が形成されていることを特徴とする請求項1乃至請求項4のいずれかに記載の半導体パッケージ。

【請求項6】 前記接着樹脂層および前記補強用部材のうちの少なくとも一方に、電磁波シールド機能を有する固形物質が混入されていることを特徴とする請求項1乃至請求項5のいずれかに記載の半導体パッケージ。

【請求項7】 前記電磁波をシールドする機能を有する固形物質がフェライトからなることを特徴とする請求項6に記載の半導体パッケージ。

【請求項8】 多数の半導体チップを有し、表面に回路が形成されたウェーハの裏面を研磨して厚みを $0.5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下に形成する工程と、該ウェーハの裏面に補強用部材を形成する工程と、該ウェーハの表面に接着樹脂層を形成する工程と、該ウェーハをダイシングして半導体パッケージに分割する工程とを含むことを特徴とする半導体パッケージの製造方法。

【請求項9】 多数の半導体チップを有し、表面に回路が形成されたウェーハの表面に接着樹脂層を形成する工程と、

該ウェーハの裏面を研磨して厚みを $0.5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下に形成する工程と、

該ウェーハの裏面に補強用部材を形成する工程と、該ウェーハをダイシングして半導体パッケージに分割する工程とを含むことを特徴とする半導体パッケージの製造方法。

【請求項10】 前記接着樹脂層として異方導電性を有する材料を用いることを特徴とする請求項8または請求項9に記載の半導体パッケージの製造方法。

【請求項11】 前記接着樹脂層を形成する工程において、ウェーハ周縁部を覆わないように接着樹脂層を形成して、ウェーハ周縁部のスクライブラインを露出させることを特徴とする請求項8乃至請求項10のいずれかに

記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、湾曲可能なフレキシブル回路基板に容易に実装し得る半導体パッケージおよびその製造方法に関する。

【0002】

【従来の技術】近年の電子機器の軽量化、薄型化および短小化に伴って、搭載される半導体装置に対する小型化および軽量化への要求が益々高まってきている。これらの要求に対して、BGA (Ball Grid Array) タイプまたはCSP (Chip Scale Package) タイプと称される、小型化された半導体パッケージが広く用いられるようになってきている。なお、本明細書において、半導体パッケージとは、ダイオードおよびトランジスタなどの能動素子、電極並びに配線などの回路が表面に形成された半導体チップにおいて、その表面を樹脂によりモールドし、または樹脂層で覆ったものを称することとする。

【0003】図6(a)は、従来のQFP (Quad Flat Package) タイプの半導体パッケージの一例を示す断面図である。この半導体パッケージは、半導体チップ22を有し、この半導体チップ22は、ダイボンド接着剤25を介してリードフレームの一部であるダイパッド30上に搭載されている。また、半導体チップ22の回路形成面に設けられた電極(図示せず)とリードフレームの一部であるパッケージリード27とが、ワイヤー23により接続されている。そして、半導体チップ22、ダイパッド30およびパッケージリード27が樹脂21によりモールドされている。このQFPタイプの半導体パッケージを回路基板に実装する場合、外部接続端子であるパッケージリード27を回路基板に半田付けすることにより半導体パッケージと回路基板とが電気的に接続される。

【0004】図6(b)は、従来のCSP(またはBGA)タイプの半導体パッケージの一例を示す図である。この半導体パッケージにおいて、半導体チップ22は、インターポーザ基板28に設けられた基板配線26上に接着フィルムやペースト状のダイボンド接着剤25を用いて接着されている。また、インターポーザ基板28上に形成された基板配線26と半導体チップ22の回路形成面に設けられた電極(図示せず)とが、ワイヤー23により接続されている。さらに、基板配線26とはんだボール24とがインターポーザ基板28に設けた貫通穴29を通じて接続されている。そして、半導体チップ22およびワイヤー23を保護するために、インターポーザ基板の半導体チップ搭載面は樹脂21によりモールドされている。このCSPタイプの半導体パッケージを回路基板に実装する場合、はんだボール24を溶融して回路基板に半田付けすることにより半導体パッケージと回

路基板どが電氣的に接続される。このCSPタイプの半導体パッケージは、パッケージサイズが半導体チップのサイズに対してわずかに大きいものの、従来のQFPタイプの半導体パッケージ等と比較して、非常に小型化および軽量化が図られている。

【0005】さらに小型化が可能な半導体パッケージとして、例えば特開昭61-50344号公報には、図6に示すように、半導体チップ22の電極31形成面に半導体チップ22と同じサイズの導電性接着樹脂層32を設けたものが開示されている。

【0006】

【発明が解決しようとする課題】近年、電子機器の小型化に伴って、使用される回路基板が薄型化している。また、小型携帯機器内部の狭く複雑な形状の空間に部品を高密度に実装するために、自由に湾曲させることが可能なフレキシブル回路基板(FPC:Flexible Printed Circuit)が用いられるようになってきている。さらに、電子機器を構成する筐体自体に回路パターンを形成し、小型化および軽量化を図る手法も提案されている。

【0007】このような現状の中で、上述した従来の半導体パッケージでは、以下のような問題がある。薄型基板やフレキシブル回路基板を小型携帯機器内部で複雑な形状に曲げる(変形させる)ことが可能となっても、半導体パッケージは硬質であるために曲げることができない。よって、自由に湾曲可能なフレキシブル回路基板上に変形させることができない半導体パッケージが搭載されると、小型携帯機器内部の狭く複雑な形状の空間に回路基板を収めることが困難になる。さらに、筐体自体の湾曲面に形成された回路上に、硬質で変形させることができない半導体パッケージそのものを搭載することは困難である。

【0008】以上の問題は、電子機器に搭載される回路規模およびメモリ容量の増大に伴って大型化された半導体チップを収納する大きなサイズの半導体パッケージ、および複数の半導体チップをひとつのパッケージ内に収めたマルチチップパッケージ等、大型の半導体パッケージを実装した回路基板を小型の携帯機器に収めるときに特に大きな問題となる。すなわち、半導体パッケージによりフレキシブル回路基板の自由な変形および湾曲が損なわれてしまうことにより、フレキシブル回路基板の自由に変形および湾曲し得るという特性を活用して半導体パッケージを搭載した回路基板を小型の携帯機器に収めることができなくなり、部品の高密度実装を実現し、機器の小型化を図るという目的を妨げてしまうからである。

【0009】さらに、近年の携帯機器の小型化および電子部品の高周波化に伴って、半導体チップを始めとする電子部品間の相互干渉、電磁波障害および電磁波ノイズ等の問題が深刻化している。特に、半導体パッケージの

薄型化によって、電磁波ノイズの影響を受けやすくなるため、小型化を図った携帯機器では深刻な問題となる。

【0010】本発明は、このような従来技術の課題を解決するためになされたものであり、曲げることが可能でフレキシブル回路基板の自由に湾曲するという特性を妨げず、曲面にも容易に実装することが可能な半導体パッケージおよびその製造方法を提供することを目的とする。

さらに、半導体チップを電磁波からシールドすることによって、外部からの半導体チップへのノイズを遮蔽すると共に半導体チップから外部へのノイズの放出を防ぐことができる半導体パッケージおよびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の半導体パッケージは、表面に回路が形成されており、全体の厚さが0.5 μ m以上100 μ m以下に形成された半導体チップと、該半導体チップの回路形成面を覆うように設けられた接着樹脂層とを有し、そのことにより上記目的が達成される。

20 【0012】前記半導体チップの回路形成面と反対側の面に補強用部材が設けられているのが好ましい。

【0013】前記接着樹脂層が異方導電性を有する材料からなるのが好ましい。

【0014】前記補強用部材としては、ポリイミド系樹脂またはポリシリコンワニスからなるものを用いることができる。

【0015】前記半導体チップの回路形成面に形成された電極上に突起電極が形成されているのが好ましい。

30 【0016】前記接着樹脂層および前記補強用部材のうちの少なくとも一方に、電磁波シールド機能を有する固形物質が混入されているのが好ましい。

【0017】前記電磁波をシールドする機能を有する固形物質としては、フェライトを用いることができる。

【0018】本発明の半導体パッケージの製造方法は、多数の半導体チップを有し、表面に回路が形成されたウェーハの裏面を研磨して厚みを0.5 μ m以上100 μ m以下に形成する工程と、該ウェーハの裏面に補強用部材を形成する工程と、該ウェーハの表面に接着樹脂層を形成する工程と、該ウェーハをダイシングして半導体パッケージに分割する工程とを含み、そのことにより上記目的が達成される。

40 【0019】本発明の半導体パッケージの製造方法は、多数の半導体チップを有し、表面に回路が形成されたウェーハの表面に接着樹脂層を形成する工程と、該ウェーハの裏面を研磨して厚みを0.5 μ m以上100 μ m以下に形成する工程と、該ウェーハの裏面に補強用部材を形成する工程と、該ウェーハをダイシングして半導体パッケージに分割する工程とを含み、そのことにより上記目的が達成される。

50 【0020】前記接着樹脂層として異方導電性を有する

材料を用いるのが好ましい。

【0021】前記接着樹脂層を形成する工程において、ウェーハ周縁部を覆わないように接着樹脂層を形成して、ウェーハ周縁部のスクライブラインを露出させるのが好ましい。

【0022】以下に、本発明の作用について説明する。

【0023】本発明にあっては、半導体チップを厚さ0.5 μ m以上100 μ m以下に形成し、その回路形成面に接着樹脂層を形成することにより、半導体チップを自由に湾曲させることができる。よって、フレキシブル回路基板の自由に変形および湾曲する機能を妨げず、小型携帯機器内部の複雑な形状の空間に半導体パッケージを搭載した回路基板を収めることが可能となる。さらに、曲面状の実装基板または電子機器を構成する筐体自体の湾曲面に形成された回路上に、半導体パッケージそのものを搭載することも可能となる。

【0024】一般的に、半導体チップは200 μ m～400 μ mの厚みで使用されることが多いが、本発明のように厚みを100 μ m以下に薄くすることにより、曲げ応力に対して強くなり、可撓性を付与することができる。なお、半導体チップを構成する拡散層の厚みは0.2 μ m程度であるので、十分な電気的特性を得るためには半導体チップが0.5 μ m以上の厚みであることが必要である。

【0025】この半導体パッケージの電極をフレキシブル回路基板の電極に位置合わせして、半導体パッケージの電極とフレキシブル回路基板の電極とを接触させるように加圧すると共に接着樹脂層を硬化させることにより、半導体パッケージを実装することが可能である。

【0026】上記接着樹脂層として、加圧および加熱することにより半導体チップの電極と回路基板の電極とを接続することが可能な熱硬化性接着樹脂または熱可塑性接着樹脂、または異方導電性接着樹脂を用いることにより、曲面状の実装基板や筐体の曲面形状に合わせたボンディングツールにより半導体チップを湾曲させながら、簡単に半導体チップの電極と回路基板の電極とを接続することが可能となる。特に、導電性粒子を含む異方導電性接着樹脂を用いることにより、接続部における導通の信頼性が高くなる。

【0027】このように半導体チップを薄くすることにより、割れ等の破損が発生する危険性が高まるため、半導体チップの回路形成面と対向する面（裏面）に補強用部材を形成するのが好ましい。半導体チップ裏面には、通常、研磨傷が残っており、この傷を埋めることにより湾曲時に割れに対する抵抗力を高めることができるため、半導体チップを破損することなく曲げることが可能となる。特に、半導体チップの湾曲を妨げずに半導体チップの裏面を保護するためには、ポリイミド系樹脂またはポリシリコンワニス等を用いるのが適している。さらに、裏面を研磨後、ウェットエッチング等により研磨

傷部分を除去しておくのがより好ましい。

【0028】上記半導体チップの回路形成面に形成された電極上に突起電極を形成することにより、実装基板（フレキシブル回路基板等）の電極との接続を容易に確実に行うことができる。半導体チップに突起電極を設けない場合には、実装基板側に突起電極を形成してもよい。

【0029】さらに、上記接着樹脂層および上記補強用部材のうちの少なくとも一方に、フェライト等の電磁波シールド機能を有する固形物質を混入することにより、半導体チップから外部に放出される電磁波ノイズまたは外部から半導体チップに入ってくる電磁波ノイズを有効に除去することが可能である。

【0030】ウェーハ状態で上記接着樹脂層を形成する工程において、ウェーハ周縁部を覆わないように接着樹脂層を形成することにより、ウェーハ周縁部のスクライブラインが見えるため、後工程でのダイシング時に位置合わせが容易になる。

【0031】

20 【発明の実施の形態】以下に、本発明の実施の形態について、図面に基づいて説明する。

【0032】（実施形態1）図1（a）は、本発明の一実施形態である半導体パッケージの構成を説明するための断面図である。この半導体パッケージは、半導体チップ1を有しており、その表面には電極および能動素子等の回路素子（図示せず）が形成されている。半導体チップ1は、フレキシブル回路基板または電子機器の筐体に形成された回路に実装する際に柔軟に曲げることができるように、0.5 μ m以上100 μ m以下の厚みに形成されている。半導体チップ1の電極および能動素子等の回路（図示せず）が形成された表面には、フレキシブル回路基板または電子機器の筐体に形成された回路と半導体パッケージとの接続を容易にするために、接着樹脂層6が設けられている。本実施形態では、接続部における導通の信頼性を高めるために、異方導電性を有する材料からなる接着樹脂層6を用いている。半導体チップの回路形成面と対向する裏面には、半導体チップ1を薄くしたことにより割れ等が生じるのを防ぐために、補強用部材4が設けられている。補強用部材は、平板状であり、半導体チップ1の裏面全体にわたって設けられている。さらに、半導体チップ1の電極（図示せず）上には突起電極3が設けられている。

【0033】なお、図1（a）に示す半導体パッケージでは、半導体パッケージが実装されるフレキシブル回路基板側または筐体側の電極と半導体チップの電極との接続を良好にするために、半導体チップ1の電極（図示せず）上に3 μ m～5 μ m程度の高さの突起電極3を形成しているが、図1（b）に示すように、突起電極を設けない構成としてもよい。この図1（b）の構成では、半導体パッケージが実装されるフレキシブル回路基板側ま

たは筐体側に突起電極を形成することにより、半導体チップの電極3aとの接続を良好にすることができる。

【0034】図2(a)～図2(e)は、各々図1(a)に示す半導体パッケージの製造工程について説明するための断面図である。

【0035】まず、図2(a)に示すように、通常の半導体装置の製造工程と同様に、多数の半導体チップ1を得るために、表面に能動素子および電極等の回路を形成したウェーハ1aを準備する。そのウェーハ1aの回路形成面に、紫外線硬化型の粘着剤層(図示せず)を有する粘着シート2を貼り付ける。さらに、図1(a)の構成では、ウェーハ1aの回路形成面に形成した電極(図示せず)上には、電解メッキまたは無電解メッキにより3μm～5μm程度の高さのニッケル層および金層を順次形成して構成した突起電極3を設ける。このときのウェーハ1aの厚みは200μm～700μm程度である。

【0036】次に、図2(b)に示すように、ウェーハ1aの裏面を、研削装置を用いて機械的に研磨して厚みを薄くする。機械的な研削では、条件によって50μmから100μm程度の厚みまで研削することが可能であるが、さらに薄くするとウェーハ1aが破損するおそれが高くなる。よって、ウェーハ1aをさらに薄くするためには、化学的なエッチングまたはCMP(Chemical Mechanical Polishing)と称される化学機械研磨など、加工ダメージが少ない手法を用いるのが好ましい。例えば、従来では300μm程度の厚みであった半導体チップを10μm以下の厚さに薄くすることにより、曲げに対する強さは200倍～300倍程度に向上する。従って、ウェーハ1aを10μm～20μm程度以下に薄くすることが好ましいが、半導体パッケージが使用される状況に応じて0.5μm以上100μm以下の範囲内で厚みを適宜設定すればよい。

【0037】上記工程により厚みを薄くしたウェーハ1aの裏面には研削またはエッチングによる傷または凹凸が残っている。この歪みにより後工程における半導体パッケージの実装時や実装後の取り扱い時に割れまたは欠け等の破損が生じることを防ぐために、図2(c)に示すように、ウェーハ1aの裏面に補強用部材4を設ける。

【0038】補強用部材4の材料としては、液状のポリイミド系樹脂またはポリシリコンワニス等を用いることができる。例えば、ポリイミド系樹脂としては日立化成株式会社製の商品名PIX等、ポリシリコンワニスとしては東芝シリコン株式会社製の商品名TSR-144等を用いることができる。このような液状の材料をウェーハ1aの裏面の全面にわたって塗布した後、各材料に応じて必要とされる硬化条件で硬化させて硬化皮膜とすることにより、補強用部材4を形成する。例えば、

上記TSR-144は常温硬化型のポリシリコンワニスであるが、80℃～120℃程度に加熱したオーブン中で加熱および乾燥させることにより、1分程度で硬化皮膜を得ることができる。なお、補強用部材4の厚みは、曲げを損なわないために300μm以下とするのが好ましく、半導体チップの割れ等の破壊を防ぐためには0.5μm以上とするのが好ましい。

【0039】次に、紫外線を照射して、図2(d)に示すようにウェーハ1aを粘着シート2から剥離し、補強用部材4側をダイシングのための新たな粘着シート5に貼り付ける。なお、補強用部材4の材料として上記PIXのような液状のポリイミド系樹脂を用いる場合には、硬化温度が350℃と高温であるため、ウェーハ1aを予め粘着シート2から剥離した後でPIXを硬化させ、PIXの硬化終了後にダイシングのための粘着シート5を貼り付ける。

【0040】次に、図2(e)に示すように、ウェーハ1aの回路形成面に接着樹脂層6を形成するために、異方導電性接着樹脂フィルム(以下、ACF(Anisotropic Conductive Film)と略称する)を貼り付ける。ACFは接着樹脂中に導電性粒子を分散させたものであり、導電性粒子としては金属粒子、または合成樹脂粒子の表面に金属層を設けたもの等を用いることができる。通常、ACF6は、図2(e)に示すように、接着樹脂層の片面に保護用のシート(ラミネートフィルム)8が貼り付けられているため、ウェーハ1aの前面にACF6を貼り付けるとウェーハ1aのスクライブラインが見えなくなる。このような状態ではダイシングを行うのが困難であるため、ウェーハ1aの周縁部を数mm程度(例えば3mm程度)にわたって覆わないようにACFを貼り付けることが好ましい。これにより、後工程でのダイシング時にダイシングブレードとスクライブラインとの位置合わせが容易になる。

【0041】次に、ウェーハ1aの回路形成面側から、ダイシングブレード7によりウェーハ1aを切断して個々の半導体パッケージに分割する。以上により、本実施形態の半導体パッケージが得られる。

【0042】図3は、本実施形態の半導体パッケージを、実装基板であるフレキシブル回路基板に実装する工程を説明するための断面図である。

【0043】まず、ACF6の保護用ラミネートフィルム8を剥離し、補強用部材4形成側をボンディングツール11により吸着して、半導体チップ1の突起電極3とフレキシブル回路基板10の電極(基板配線9)とを位置合わせし、両者を接触させるように加圧して加熱を行う。

【0044】本実施形態によれば、例えばポリイミド系樹脂をベース基板としたフレキシブル回路基板を用いた場合、フレキシブル回路基板の変形に応じて半導体チッ

ブも変形させることができる。さらに、曲面状の実装基板または電子機器を構成する筐体の曲面に合わせた形状のボンディングツールを用いることにより、曲面に半導体パッケージを実装することが可能である。

【0045】(実施形態2)図4(a)～図4(c)は、本発明の他の実施形態である半導体パッケージの製造工程を説明するための断面図である。

【0046】この半導体パッケージは、図1(a)に示す半導体パッケージと同様の構成となっており、フレキシブル回路基板または電子機器の筐体に形成された回路に実装する際に柔軟に曲げることができるように、半導体チップ1が0.5μm以上100μm以下の厚みに形成されている。半導体チップ1の電極3および能動素子等の回路(図示せず)が形成された表面には、フレキシブル回路基板または電子機器の筐体に形成された回路と半導体パッケージとの接続を容易にするために、接着樹脂層6が設けられている。接着樹脂層6としては、フレキシブル回路基板または電子機器の筐体に形成された回路と半導体パッケージとの接続部における導通の信頼性を高めるために、異方導電性を有するものを用いている。半導体チップの回路形成面と対向する裏面には、半導体チップ1を薄くしたことにより割れ等が生じるのを防ぐために、平板状の補強用部材4が裏面全体にわたって設けられている。さらに、半導体チップ1の電極(図示せず)上には突起電極3が設けられている。さらに、本実施形態では、図1(a)に示した半導体パッケージの構成に加えて、上記接着樹脂層6および補強用部材4に電磁波シールド機能を有する固形物質が混入されている。

【0047】図4(a)～図4(e)は、本実施形態の半導体パッケージの製造工程について説明するための断面図である。本実施形態では、接着樹脂層6を形成する工程の後に、裏面を研磨して半導体チップを薄くする工程を行う。

【0048】まず、図4(a)に示すように、通常の半導体装置の製造工程と同様に、多数の半導体チップを得るために、表面に能動素子および電極等の回路を形成したウェーハ1aを準備する。そのウェーハ1aの回路形成面に熱硬化性の接着シートとして、ACF6を貼り付ける。このACF6には、片面に汚染防止のためにラミネートフィルム8が貼り付けられており、そのラミネートフィルム8側を紫外線硬化型の粘着剤層(図示せず)を有する粘着シート12に貼り付ける。さらに、本実施形態では、ACF6に、電磁波シールド機能を有する固形物質として、3μm～5μm径のフェライト粒子(Fe_2MnO_4)粒子を30wt%～60wt%混入させている。なお、フェライトは高抵抗であるため、半導体パッケージと回路基板との接続が不良になることが考えられるが、実際には、ACFにフィラーとして SiO_2 が含まれていても問題は生じず、フェライト粒子について

も特に問題は生じない。

【0049】次に、実施形態1と同様に、ウェーハ裏面の研磨およびエッチングを行ってウェーハの厚みを薄くする工程を行い、図4(b)に示すようにウェーハ裏面に補強用部材4を設ける。

【0050】補強用部材4の材料としては、例えば、東芝シリコン株式会社製の商品名TSR-144等、常温硬化型のポリシリコンワニスを用いることができる。このような液状の材料をウェーハ1aの裏面の全面にわたって塗布した後、各材料に応じて必要とされる硬化条件で硬化させて硬化皮膜とすることにより、補強用部材4を形成する。例えば、上記TSR-144は常温硬化型のポリシリコンワニスであるが、80℃～120℃程度に加熱したオープン中で加熱および乾燥させることにより、1分程度で硬化皮膜を得ることができる。なお、この工程で熱硬化性の接着樹脂層6の硬化が進行するようであれば、常温で硬化させるようにする。さらに、本実施形態では、ポリシリコンワニスに、電磁波シールド機能を有する固形物質として、3μm～5μm径のフェライト粒子(Fe_2MnO_4)粒子を60wt%～90wt%混入させて補強用部材4を形成している。

【0051】次に、図4(c)に示すように、ウェーハ1aの裏面、すなわち補強用部材4側から、ダイシングブレード7によりウェーハ1aを切断して個々の半導体パッケージに分割する。以上により、本実施形態の半導体パッケージが得られる。

【0052】本実施形態では、ACFおよびポリシリコンワニスに電磁波シールド機能を有する固形物質としてフェライト粒子を混入しているため、半導体チップ1から外部に放出される電磁波ノイズまたは外部から半導体チップ1に入ってくる電磁波ノイズを有効に除去することができる。よって、半導体チップから外部回路基板に対してノイズを放出しにくくと共に、半導体チップの誤動作を防止して正常かつ安定して動作させることが可能となる。

【0053】図5は、本実施形態の半導体パッケージを、実装基板であるフレキシブル回路基板に実装して湾曲させた状態を説明するための断面図である。

【0054】この図に示すように、本実施形態によれば、半導体チップが薄いため、フレキシブル回路基板の変形に応じて半導体チップも変形させることができる。さらに、曲面状の実装基板や電子機器を構成する筐体の曲面に合わせた形状のボンディングツールを用いることにより、曲面形状に合わせて半導体チップを変形させることができるので、曲面上に半導体パッケージを実装することが可能である。

【0055】なお、本実施形態では、熱硬化性の接着樹脂層6に貼り付けられたラミネートフィルム8を粘着シート12に貼り付けたが、粘着シート自体がラミネートフィルムとしての機能を兼ねるものを用いてもよい。さ

らに、本実施形態では半導体チップ1の表面に設けた接着樹脂層6および半導体チップ1の裏面に設けた補強用部材4の両方に電磁波シールド機能を有する固形物質を混入させたが、いずれか一方に混入させる構成としてもよい。

【0056】

【発明の効果】以上詳述したように、本発明によれば、半導体チップの厚みを $0.5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下にすることにより、薄くて曲げに強い半導体パッケージを得ることができる。さらに、半導体チップの回路形成面と対向する裏面に補強用部材を設けることにより、半導体チップの割れ等の破壊を防止することができる。さらに、半導体チップの回路形成面に接着樹脂層を設けることにより、フレキシブル回路基板および曲面状の実装基板等に容易に実装することができる半導体パッケージを提供することができる。さらに、接着樹脂層および補強用部材に電磁波シールド機能を有する固形物質を混入させることにより、半導体チップから外部に電磁波ノイズを放出しにくくなると共に、外部から半導体チップに入ってくる電磁波ノイズを防いで半導体チップの誤動作を防止して正常かつ安定して動作させることができる。

【図面の簡単な説明】

【図1】(a)および(b)は実施形態1の半導体パッケージの構成を説明するための断面図である。

【図2】(a)～(e)は実施形態1の半導体パッケージの製造工程を説明するための断面図である。

【図3】(a)および(b)は実施形態1の半導体パッケージをフレキシブル回路基板に実装する工程を説明するための断面図である。

【図4】(a)～(c)は実施形態2の半導体パッケージの製造工程を説明するための断面図である。

【図5】実施形態2の半導体パッケージをフレキシブル回路基板に実装して曲げた状態を説明するための断面図

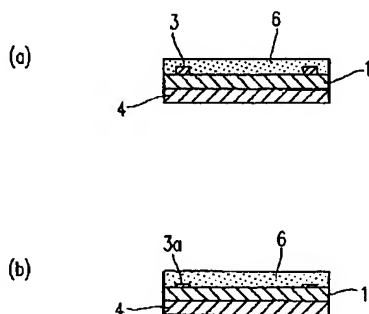
である。

【図6】(a)および(b)は従来の半導体パッケージの構成を説明するための断面図であり、(c)は従来の半導体パッケージの構成を説明するための斜視図である。

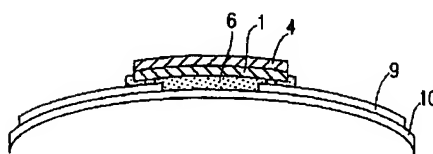
【符号の説明】

- 1 半導体チップ
- 1a ウェーハ
- 2 裏面研削用粘着シート
- 3 突起電極
- 3a 電極
- 4 補強用部材
- 5 ダイシング用粘着シート
- 6 接着樹脂層(ACF)
- 7 ダイシングブレード
- 8 ラミネートフィルム
- 9 基板配線
- 10 フレキシブル回路基板
- 11 ボンディングツール
- 20 12 裏面研削およびダイシング用粘着シート
- 21 モールド樹脂
- 22 半導体チップ
- 23 ワイヤ
- 24 はんだボール
- 25 ダイボンド接着剤
- 26 基板配線
- 27 パッケージリード
- 28 インターポーザ基板
- 29 貫通穴
- 30 30 ダイパッド
- 31 電極
- 32 異方導電性接着樹脂層

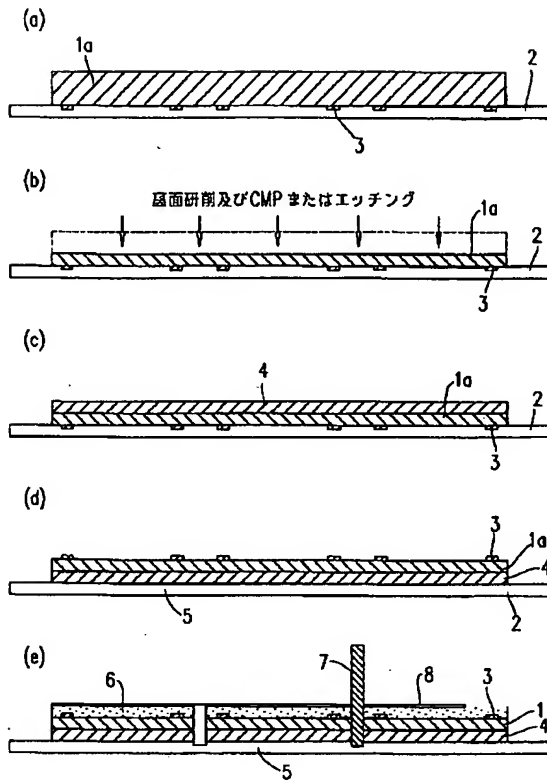
【図1】



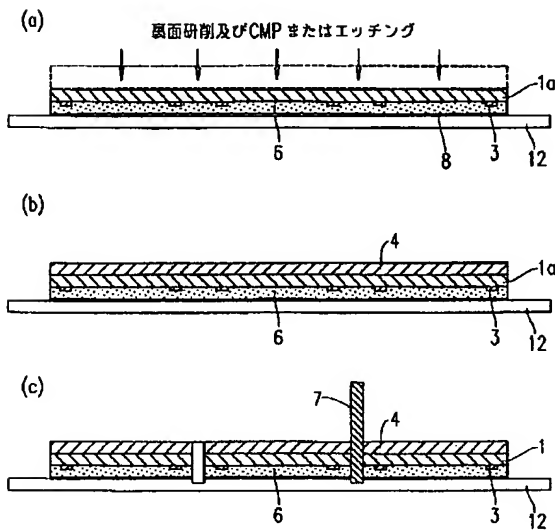
【図5】



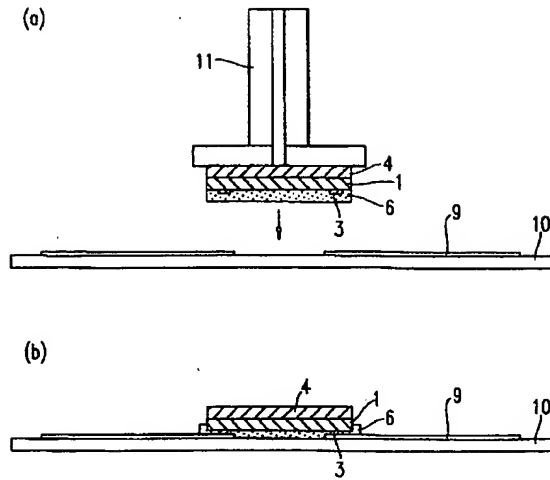
【図2】



【図4】



【図3】



【図6】

